**Prototipado de micro-controlador DSP**

# Arquitectura y diseño

El siguiente diagrama muestra el diagrama general del sistema a desarrollar. El área gris contiene la lógica implementada en el FPGA. Las interfaces SPI e I2C se utilizan para comunicarse con periféricos en circuitos externos.



1. Procesador RISC

Tipo de prototipado: Completo

El procesador RISC para el ASIC se reutilizará de un IP de la empresa. Para simular este procesador en el prototipo de FPGA, se utiliza un Softcore del procesador Nios II que también es RISC. Se debe tomar que cuenta que ya que el IP Core no es el mismo que el que sería utilizado en el ASIC, el consumo de recursos puede variar para este bloque. El uso del procesador Nios II permite tener una aproximación de los recursos a utilizar.

1. Periféricos:
   1. Controlador de reloj

Tipo de prototipado: Completo

Para implementar este controlador, se utiliza una combinación de dos IPs: el ALTERA PLL, el cual permite generar relojes a partir de un reloj de entrada, aplicando factores de multiplicación o división, tal como es requerido. El segundo es el IP de Altera PLL Reconfig, el cual se utiliza para poder reconfigurar dinámicamente el PLL. Éste IP controla el PLL para poder modificar en tiempo de ejecución los factores de multiplicación/división de los relojes generados.

* 1. Contador decremental

Tipo de prototipado: Completo

Este bloque consta de dos contadores decrementales. Estos bloques se implementan mediante código HDL, con ayuda de la plantilla de up/down binary counter del Quartus II. La lógica de interrupción e inicialización se agrega al código HDL y se crea un bloque personalizado que pueda ser instanciado mediante Qsys e integrado en el bus de Avalon, tal como se realizó en el curso.

* 1. Temporizador Watchdog

Tipo de prototipado: Completo

Se puede implementar mediante el IP de Timer, en operación de WDT, con período de 30 segundos a 50MHz.

* 1. Bloque FFT

Tipo de prototipado: Completo

Se implementa mediante el IP de FFT de la librería. Es necesario utilizar otro IP para adadptar la interfaz Avalon a una interfaz de streaming que permita la transferencia de paquetes de datos a través del IP de FFT. Este IP se llama “Avalon Packets to Transaction Converter”.

* 1. ADC y DAC

Tipo de prototipado: Completo

Ya que estos componentes no forman parte de la FPGA ni de la tarjeta de desarrollo elegida, se utiliza una tarjeta de convertidores externas, con interfaz SPI mediante el conector $$$$$ (FMC150). En el testbench, es posible simular el comportamiento tanto del ADC como el DAC, para comprobar la lógica de comunicación y el software que lo utiliza.

* 1. SPI y I2C

Tipo de prototipado: Completo

Se utilizan los IPs respectivos de SPI y I2C, ya estudiados en el curso.

* 1. Memoria en chip

Tipo de prototipado: Completo

Al requerir 16MB de memoria, se decide utilizar un chip externo de memoria RAM de un solo acceso, con bus multiplexado e interfaz de comunicación I2C. El chip $$$$ cumple con las características mencionadas (o la tarjeta de desarrollo XXXX contiene un chip de memoria $$$$ que cumple esta función)

* 1. Controlador de energía

Tipo de prototipado: Parcial

Este bloque se puede prototipar de manera parcial mediante código HDL. Los modos de operación “activo” y “P1” se pueden implementar, mientras que el modo “P2” es imposible de implementar por software, ya que requiere de un hardware que permita levantar el dispositivo cuando el procesador y todos los periféricos se encuentran apagados.

* 1. Bancos de I/O

Tipo de prototipado: Innecesario

No es necesario prototipar los bancos de I/O, a menos que se dedique alguna entrada o salida para probar alguna funcionalidad del Sistema.

# Plan de Pruebas